

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

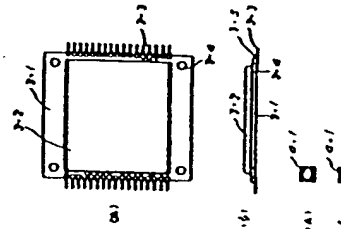
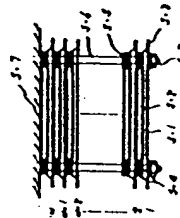
**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(54) MOUNTING METHOD OF MULTICHIP PACKAGE:

- (11) 58-96756 (A) (43) 8.6.1983 (19) JP
 (21) Appl. No. 56-194428 (22) 4.12.1981
 (71) TOKYO SHIBAURA DENKI K.K. (72) YOSHITAKA FUKUOKA
 (51) Int. Cl. H01L23/32, H01L23/02

PURPOSE: To perform mounting of the multichip packages having favorable efficiency by a method wherein penetrating holes of resin blocks are positioned to penetrating holes of two or more provided at the circumferential part of the respective multichip packages, and metal bars are inserted therein to be supported and to be fixed to a case body.

CONSTITUTION: FIC's are supported to be fixed to a substrate 3-1, and are sealed airtightly by a cap 3-2. Input-output terminals 3-3 are soldered with silver solder 3-5 outwardly and in parallel with the face of the substrate. The penetrating holes 3-4 are provided in the substrate 3-1 at the circumference of the cap 3-2. Penetrating holes 4-1 of the same diameter with the hole 3-4 of the substrate 3-1 are provided in the resin blocks of Teflon, etc., having a little elasticity, and utilizing the holes 4-1 of the blocks 5-5 thereof and the holes 3-4 of the substrate, the rigid body bars 5-6 of metal, etc., are inserted using the blocks 5-5 as the interlayer insulators, and the tips are fixed by screws to the case body 5-7. By this constitution, the multichip packages of a large number can be mounted having favorable efficiency and in high density to the case body having a space in the perpendicular direction.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58-96756

⑫ Int. Cl.
H.01.L. 23/32
23/02

識別記号

庁内整理番号
6240-5F
7738-5F

⑬ 公開 昭和58年(1983)6月8日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ マルチチップパッケージの実装方法

⑮ 特 願 昭56-194428

⑯ 出 願 昭56(1981)12月4日

⑰ 発 明 者 福岡義孝

川崎市幸区小向東芝町1東京芝

浦電気株式会社総合研究所内

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 則近恵佑 外1名

発明の名称

⑭ マルチチップパッケージの実装方法

⑮ 特許請求の範囲

① 配線基板上に複数個の電子的機能要素をチップ状態で実装し、当該配線基板の周辺部に電子的機能要素であるチップ部品露出面に平行に配線基板の外向きに入出力端子を形成し、全体を気密封止べくキャップ等の基体を搭載したマルチチップパッケージの実装方法に於て、前記①の配線基板の気密封止すべく形成されたキャップ等の基体の周辺部の少なくとも2ヶ所以上に通孔を設け、前記2～第Nの配線基板の周辺部にも前記1番番板と同一箇所に同一サイズの通孔を設け、等の通孔よりも大きな大きさを有し、それ等とはほぼ同一サイズの孔を具備してなる高気密マルチチップパッケージの気密封止用のキャップ等の基体の前記配線基板表面からの高さの多少高めの多少弾力性を有するブロックを、該ブロックを各々の配線基板間及び配線

基板と基板等の基体との間に挿入し、前記1から前記Nまでの配線基板のすべての通孔と、各々の配線基板間及び配線基板と基板等の基体との間に挿入した各々のブロックのすべての通孔とを互に通する構造を少なくとも2本以上の剛体棒を、前記すべての通孔に挿入し、その剛体棒の先端部を基板等の基体に固着せしめる事により、前記1から前記Nまでのマルチチップパッケージを支持固定せしめる事を特徴とするマルチチップパッケージの実装方法。

② 基板等の基体に支持固定された前記1～前記Nまでの各々のマルチチップパッケージの配線基板の電子的機能要素であるチップ部品露出面と平行に配線基板の外向きに形成された前記各々の入出力端子の存在している位置と同一位置配線を有する入出力端子の大きさより多少大きめの通孔を有し、特定の回路機能を有すべく配線を形成したフレキシブル配線基板を形成し、該フレキシブル配線基板を前記1～前記Nのマルチチップパッケージの各々の入出力端子に挿入し、接合する事により、前記1～前記Nまでのマルチチップパッケージ相互間の電

(1)

(2)

1. 電気的接続を形成する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの製造方法。667C-25

図1は前記多小片状性を有するブロックがブロック形状ではなく、前記配線基板のキャップ等の基板の周辺部に設けられ少なくとも2ヶ所以上の通孔と同一位置にはほぼ同一の大きさの通孔を設け、前記気密封止すべきキャップ等の基板の周辺部を囲む様な形状構造を有する事を特徴とする前記特許請求の範囲第1項記載のマルチチップパッケージの製造方法。

3. 発明の詳細な説明

発明の属する技術分野

本発明は、配線基板上に複数の電子的機能要素をチップ状態で実装し、全体を気密封止すべきキャップ等の基板を形成したマルチチップパッケージの製造方法に関するものである。

従来の技術とその問題点

近年、電子機器の小型、軽量化、高速化、高信頼性化の要求が著しく高まって来ており、それ等

(13)

例えばヘンダ付けあるいはウエハダイニング等により支持固定されたチップ等の基板1-2、及び配線基板1-1の周辺部に例えばヘンダ付けあるいはワイヤ付け等により形成された入出力端子1-3から構成されている。図1において1-4は電子的機能要素であるICチップを、1-5は同じくコンデンサチップを示してあり、また1-6は、それ等のICチップ1-5と配線基板1-1との電気的接続を形成する例えばAu線等のワイヤを示している。この様なマルチチップパッケージを複数個使用して1つのシステムを形成するわけであるが、この様な場合、従来の第2図(14)は平面図、(15)は側面図に示す如く所謂プリント配線基板2-1上に第1図に示すマルチチップパッケージの入出力端子1-3を折り曲げ成形し、その入出力端子2-3を前記プリント配線基板2-1のスキームホール内に挿入し、例えばヘンダ付け2-5等で支持固定する事によりマルチチップパッケージを複数個プリント配線基板上に実装し、各々のマルチチップパッケージの電気的接続を形

(15)

の要求を満足すべく例えばアルミナセラミック基板に導体ペースト及び絶縁体ペーストを印刷乾燥、焼成を繰り返して、図1に示す事により特定の回路機能を持たせる所謂厚膜配線基板を、あるいはグリーンシート上に導体ペーストと絶縁体ペーストを乾燥状態で繰り返し積層した後、還元雰囲気中で同時焼成する事により特定の回路機能を持たせる所謂薄膜配線基板を、あるいはグリーンシートに金属パターニング等チップ等のチップにより通孔を形成し、その上に導体ペーストを印3-2はそれらの前、乾燥し、それ等のグリーンシートを複数枚重ね配線基板3-1に合わせ加圧した後、還元雰囲気中で同時焼成する事により特定の回路機能を持たせる所謂ソーラ基板を示す。またトランジスタ等により形成した高密度配線基板上に1-2のチップ部品、ICチップ等のチップ部品を複数個実装し、全体を封止あるいは封止する所請るマルチチップパッケージに形成された入出力端子が、技術が開発されつつある。

この様なマルチチップパッケージの外観構造は、図2の基板3-2としては、第1図に示す如く高密度配線基板1-1に形成された少なくとも及び全体を気密封止すべく配線基板1-1上(穴所)の孔孔を示

(14)

成する事により1つのシステムを形成していったマルチチップパッケージとなつた。5-配線基板、2-2は気密封止用のキャップ等の配線基板、5-2の基板をそれぞれ示している。しかしながらこの図2の方法では、形成すべき1つのシステムを組み立てる等の基板の平面的な面積が前記マルチチップパッケージ(第1図)を複数個搭載できる様な面積を有する場合は問題はないが、前記図2の基板の平面的な面積がマルチチップパッケージ(第1図)の平面的な面積とほぼ同等な面積が存在しない場合には、その基板等の基板内に前記のマルチチップパッケージを実装する事は出来ぬものであり成すすべし無かつた。

発明の目的

本発明はこの様な事情を考慮して成されたものであり、その目的とする所は、平面的な面積の異なる基板等の基板に効率的に数多くのマルチチップパッケージを実装する方法を提供する事にある。本発明は前記基板等の基板の平面的な面積を有する平面と面直方向には、前記マルチチップパッケージの配線

(16)

1-3, 2-3, 3-3, 5-3... マルチチップパッケージの入出力端子。

2-4... プリント配線基板。

3-4, 5-4... 本発明により形成されたマルチチップパッケージ用配線基板周辺の通孔。

5-6... 本発明による金属等の剛性部。

5-7... 基板等の基体。

代理人 弁護士 近 藤 佑
(ほか1名)

図 3

(a)

(b)

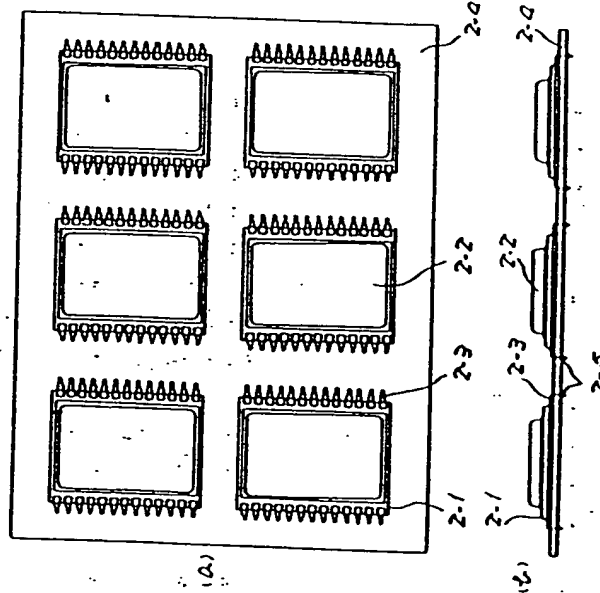
図 4

(a)

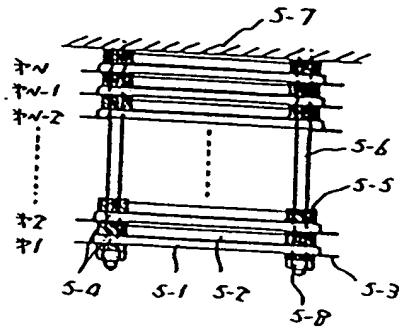
(b)

99

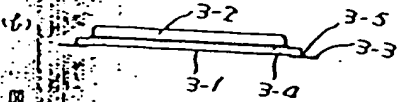
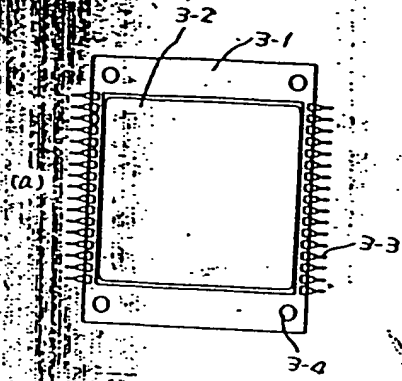
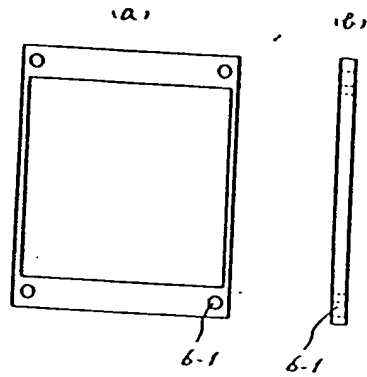
100



第 5 圖



第 6 圖



第 4 圖

